

### Forme disjonctive normale

Pour la table suivante, donner l'expression des fonctions f1, f2, f3 et f4 et les circuits correspondants avec des portes ET, OU et Inverseurs. Dans la table, le cas indifférent (0 ou 1) est noté d.

a	b	c	f1	f2	f3	f4
0	0	0	1	1	d	0
0	0	1	1	1	1	1
0	1	0	0	1	0	1
0	1	1	0	1	1	d
1	0	0	1	0	d	d
1	0	1	0	0	0	d
1	1	0	1	0	1	1
1	1	1	1	1	1	0

$$f1 = a/b + ab + ac / \text{ ou } ab + a/b + b/c /$$

$$f2 = a + bc$$

$$f3 = a/c + bc + ab \text{ ou } a/c + bc + ac /$$

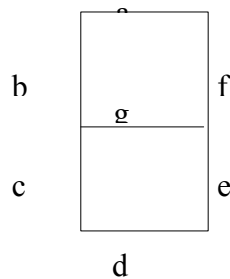
$$f4 = bc + a/c$$

### Afficher 7-segments

On veut réaliser un circuit de commande d'un afficheur 7-segments.

Les entrées du circuit sont e3e2e1e0e qui codent sur 4 bits les 10 chiffres décimaux de 0 à 9. Les sorties sont les 7 segments a,b,c,d,e,f,g auxquels on associe une variable binaire.

On veut obtenir sur les 7-segments les 10 chiffres décimaux de 0 à 9. Donner les expressions de a à g en fonction de e3e2e1e0e après simplification.



La table de vérité est la suivante :

ei	a	b	c	d	e	f	g
0000	1	1	1	1	1	1	
0001					1	1	
0010	1		1	1		1	1
0011	1			1	1	1	1
0100		1			1	1	1
0101	1	1		1	1		1
0110	1	1	1	1	1		1
0111	1				1	1	
1000	1	1	1	1	1	1	1
1001	1	1		1	1	1	1

Chiffres

0 : a,b,c,d,e,f

1 : e,f

2 : a,c,d,f,g

- 3 : a,d,e,f,g
- 4 : b,e,f,g
- 5 : a,b,d,e,g
- 6 : a,b,c,d,e,g
- 7 : a,e,f
- 8 : a,b,c,d,e,f,g
- 9 : a,b,d,e,f,g

Segment : déterminer à partir des chiffres on regroupe les termes

a : 0,2,3,5,6,7,8,9

b : 0,4,5,6,8,9

c : 0,2,6,8

d : 0,2,3,5,6,8,9

e : 0,1,3,4,5,6,7,8,9

f : 0,1,2,3,4,7,8,9

g : 2,3,5,6,8,9

Expressions logiques déduites à partir de la table de vérité

$a = e_1 + e_0 e_2 + e_0 / e_2$

$b = e_3 + e_2 e_1 + e_2 e_0 + e_1 / e_0$

$c = e_2 / e_0 + e_1 e_0$

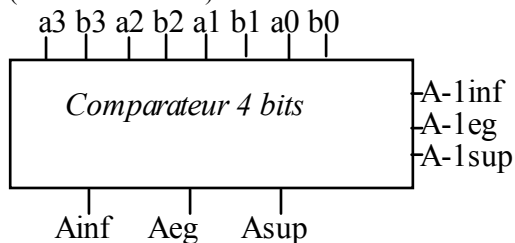
$d = e_3 + e_2 / e_1 + e_2 e_0 + e_2 e_1 / e_0$

$e = e_2 + e_1 e_0 + e_1 / e_0$

$g = e_1 + e_3 e_0 + e_2 e_0$

## Comparteurs

Soit le comparateur 4 bits dont le schéma logique est donné ci-dessous. Il a 2 entrées A ( $a_3 a_2 a_1 a_0$ ) et B ( $b_3 b_2 b_1 b_0$ ) et des entrées provenant d'un comparateur précédent que nous appelons A-1 inf, a-1 eg et A-1 sup. Il a 3 sorties que nous appelons ainf, Aeg et Asup qui traduisent le résultat de la comparaison ( $A_{inf} = 1$  si  $A < B$  ...).



1. Donner les expressions logiques  $a_i inf$ ,  $a_i eg$  et  $a_i sup$  d'un comparateur 1 bit en fonction de  $a_i$  et  $b_i$ .
2. Donner les expressions logiques  $a_i inf$ ,  $a_i eg$  et  $a_i sup$  d'une tranche 1 bit d'un comparateur en fonction de  $a_i$ ,  $b_i$  et de l'étage précédent  $a_{i-1} inf$ ,  $b_{i-1} sup$ , ou  $b_{i-1} sup$ .
3. Donner le schéma logique du comparateur 4 bits.
4. Donner le temps de retard exprimé en nombre de couches logiques pour le comparateur 4 bits réalisé avec 4 tranches de 1 bit.
5. Même question avec un comparateur 8 bits, 16 bits. (Temps de retard : inverseur 1tp, ET 1tp, Ou 1tp, ( $a_i = b_i$ ) 3 tp).
6. Proposer d'autres versions des comparateurs 4 bits, 8 bits, 16 bits permettant de réduire le temps de retard.

1) A partir de la table de vérité :

- $a_i inf = a_i / b_i$
- $a_i eg = a_i b_i + a_i / b_i$  (note  $a_i = b_i$  dans la suite)
- $a_i sup = a_i b_i$

2) le resultat est inferieur si au rang i le resultat est inferieur ou bien si au rang i c'est egale et qu'au rang i-1 le resultat est inferieur... même raisonnement pour les autres

- $a_i \text{ inf} = a_i/b_i + (a_i = b_i) \cdot a_{i-1} \text{ inf}$
- $a_i \text{ eg} = (a_i = b_i) a_{i-1} \text{ eg}$
- $a_i \text{ sup} = a_i/b_i + (a_i = b_i) a_{i-1} \text{ sup}$

3) Bonne chance.....

4)

- $a_i \text{ inf}, a_i \text{ sup} = 5 \text{ tp}$
- $a_i \text{ eg} = 4 \text{ tp}$

5) Comparateur N bits

$N \cdot 5 \text{ tp}$  pour  $A_{\text{inf}}$  et  $A_{\text{sup}}$

$N \cdot 4 \text{ tp}$  pour  $A_{\text{eg}}$

6) principe / on propage les valeurs

$A_{\text{inf}} = a_3/b_3 + (a_3 = b_3) a_2/b_2 + (a_3 = b_3)(a_2 = b_2) a_1/b_1 + (a_3 = b_3)(a_2 = b_2)(a_1 = b_1) a_0/b_0 + (a_3 = b_3)(a_2 = b_2)(a_1 = b_1)(a_0 = b_0) A_{-1} \text{ inf}$

$A_{\text{eg}} = (a_3 = b_3)(a_2 = b_2)(a_1 = b_1)(a_0 = b_0) A_{-1} \text{ eg}$

$A_{\text{sup}} = a_3/b_3 + (a_3 = b_3) a_2/b_2 + (a_3 = b_3)(a_2 = b_2) a_1/b_1 + (a_3 = b_3)(a_2 = b_2)(a_1 = b_1) a_0/b_0 + (a_3 = b_3)(a_2 = b_2)(a_1 = b_1)(a_0 = b_0) A_{-1} \text{ sup}$

$A_{\text{inf}}, A_{\text{sup}}$  en 5 tp

$A_{\text{eg}}$  en 4tp

Quelque soit N, mais avec des portes ET de N+1 entrées (problèmes de Fanin)

## Conversion Binaire Gray

On rappelle ci-dessous la représentation en code binaire normal et en code de Gray des nombres de 0 à 15

Décimal	Normal	Gray
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

On veut réaliser un convertisseur code normal-> code de gray.

Donner les expressions logiques des sorties  $S_3, S_2, S_1, S_0$  en fonctions des entrées  $E_3, E_2, E_1, E_0$  du convertisseur. Les entrées sont en code normal, les sorties en code de gray.  $E_3$  correspond au poids fort,  $E_0$  au poids faible.

$$S_0 = e_1/e_0 + e_1 e_0$$

$$s_1 = e_2 e_1 + e_2 / e_1$$

---

$$s_2 = e_3 e_2 + e_3 / e_2$$

$$s_3 = e_3$$

---

## Conversion 2 parmi 5

On veut réaliser le transcoder suivant : Du code DCB vers le code « 2 parmi 5 ». On donne les codes suivants :

a	b	c	d	A	B	C	D	E
0	0	0	0	1	1	0	0	0
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	0	1
0	0	1	1	0	0	1	1	0
0	1	0	0	0	1	0	0	1
0	1	0	1	0	1	0	1	0
0	1	1	0	0	1	1	0	0
0	1	1	1	1	0	0	0	1
1	0	0	0	1	0	0	1	0
1	0	0	1	1	0	1	0	0

1. Exprimer A,B,C,D,E, en fonction de a,b,c,d.
  2. Réaliser le câblage en utilisant uniquement des portes NAND et ou exclusif.
- 

## Additionneur

On veut fabriquer un additionneur de deux nombres binaires A et B tel que S soit leur somme.

Soit  $A = a_3 a_2 a_1 a_0$  et  $B = b_3 b_2 b_1 b_0$ .

- 1) Etablir la table de vérité donnant les variations de  $S_n$  et  $R_n$  en fonction de  $a_n$ ,  $b_n$  et  $R_{n-1}$ .
  - 2) En déduire l'expression de  $R_n$  et de  $S_n$ .
  - 3) Donner les schémas des circuits logique donnant  $S_n$  et  $R_n$  à partir de  $R_{n-1}$ ,  $a_n$  et  $b_n$ .
- 

Voir cours

---

## Additionneur BCD

On veut réaliser un additionneur modulo 10 pour additionner deux chiffres BCD (décimal codé binaire). L'addition modulo 10 de deux nombres  $A = A_3 A_2 A_1 A_0$  et  $B = B_3 B_2 B_1 B_0$  peut être réalisée en deux étapes :

- Ajouter A et B (addition binaire)
- Si le résultat est supérieur ou égal à 10 (base 10), ajouter 6(10) (il y a alors retenue pour l'étage suivant), sinon ajouter 0. Ne pas tenir compte du débordement du 2ème étage additionneur.

On dispose d'additionneurs binaire 4 bits dont les entrées sont X et Y et la retenue d'entrée  $r_e$ . Les sorties sont Z et la retenue de sortie  $r_s$ .

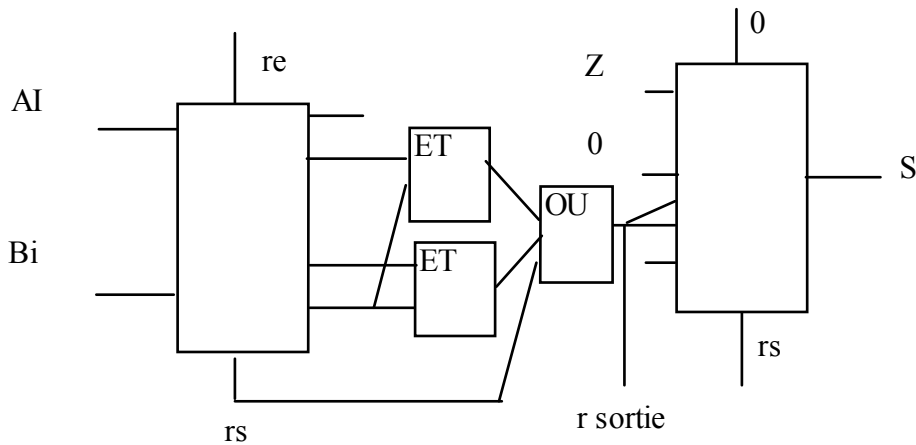
Donner le schéma logique d'un additionneur BCD avec entrées A, B retenue d'entrée  $r_e$ , sorties S et retenue de sortie  $r_s$  à partir d'additionneurs binaires 4 bits et de portes ET et OU (ou mieux Nand).

---

La détection  $\geq 9$  sur les sorties  $Z_i$  du premier additionneur correspond aux cas

$z_3$	$z_2$	$z_1$	$z_0$
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

---



soit  $z_3z_2z_1+z_2z_1$  pour les sommes de 10 à 15, et la retenue de sortie=1 pour les sommes 16 à 19.

La retenue décimale de l'addition de deux chiffres BCD est donc

$$rs = rs_1 \text{ (1er additionneur)} + z_3z_2 + z_3z_1$$

Le schéma de l'additionneur BCD en découle

Les entrées du deuxième additionneur sont z et 0 ou 6

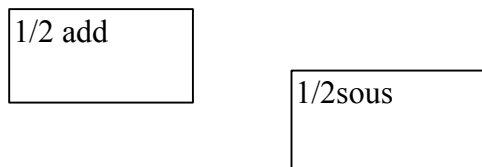
si  $rs=0$  et 6 si  $rs=1$

Le choix 0 ou 6 s'obtient en entrant la configuration 0 rs rs 0 sur l'additionneur.

## Soustracteur

Réaliser un étage soustracteur, à partir :

- De deux demi-soustracteur
- D'un demi additionneur et d'un demi soustracteur.



## Problèmes

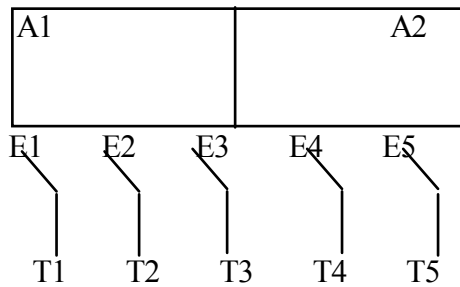
1) Une installation d'aspiration composée de 2 aspirateurs (A1,A2) est chargée de collecter les poussières de 5 tubulures (vite le Robert). Chaque tubulure est mise en relation avec le système d'aspiration par une électrovanne dont l'ordre de fermeture s'exécute par l'excitation  $S_i$  de sa bobine (i de 1 à 5).

- Les conditions particulières de fonctionnement sont les suivantes :
- Le premier aspirateur fonctionne si une ou deux tubulures au maximum doivent être dépoussiérées.
- Le second aspirateur est mis en fonctionnement dans le cas où une ou deux autres tubulures au maximum doivent être dépoussiérées. Ce qui signifie que les 2 aspirateurs ne peuvent collecter les poussières que dans 4 tubulures en même temps.
- Le signal de verrouillage V est élaboré dès l'excitation de 4 électrovannes, afin d'éliminer le fonctionnement de la 5ème.

On désire établir le schéma logique de la commande de fonctionnement des aspirateurs, et réaliser le schéma logique du circuit qui fournit l'ordre de verrouillage V.

1. Préciser les variables logiques indépendantes d'entrées, ainsi que les différentes fonctions de sorties. Définissez les états logiques de ces variables et fonctions.
2. Donner les expressions simplifiées des différentes fonctions de sorties (L'utilisation du tableau de Karnaugh à 5 variables est équivalent à 2 tableaux de 4 variables).
3. Construire les schémas des circuits logiques réalisant les différentes fonctions de sorties définies en 2.

A1 fonctionne si 1 ou 2 tubulures au max en service  
 A2 fonctionne si 1 ou 2 autres tubulures en service  
 Il faut donc 4 tubulures en tout.



Les variables d'entrées : Les electrovannes  $E_i$

Les variables de sorties  $A_1, A_2, V$

$E_i = [\text{ouvert } 0, \text{ferme } 1]$ ,  $A_i = [\text{ouvert } 0, \text{ferme } 1]$ ,  $V = [\text{non verrouillé } 0, \text{verrouillage } 1 \Rightarrow \text{electrovanne ouverte}]$ .

On donne la table de vérité suivante :

E5	E4	E3	E2	E1	A1	A2	V
					0	0	0
					1	0	0
					1	0	0
					1	0	0
					1	0	0
					1	0	0
					1	0	0
					1	1	0
					1	0	0
					1	0	0
					1	0	0
					1	1	0
					1	0	0
					1	0	0
					1	0	0
					1	1	0
					1	1	0
					1	1	1
					1	0	0
					1	1	0
					1	1	0
					1	1	1
					1	1	0
					1	1	1
					1	1	0
					1	1	1
					1	1	1

					1	1	1
					x	x	1

$$A1 = E5 + E4 + E3 + E2 + E1 \quad (X=1)$$

Pour déterminer A2, on peut faire 2 tableaux de karnaugh en posant E5 et E5/

E5/				
			1	
		1	1	1

E5				
			1	
		1	1	1
	1	1	1	1
		1	1	1

Grâce aux deux groupements semblables, on élimine E5 pour un certain nombre de monômes.

$$A2 = E3E2E1 + E4E2E1 + E4E3E1 + E4E3E2 + E1E2E5 + E3E4E5 + E3E1E5 + E4E1E5 + E3E2E5 + E4E2E5$$

$$A2 = E4E5(E1 + E2 + E3) + E3E1(E2 + E4 + E5) + E2(E4E1 + E4E3 + E1E5 + E3E5)$$

$$V = E2E1(E3E4 + E5E3 + E1E2) + E4E5(E3E1 + E3E2)$$

II) Soit F une fonction de quatre variables binaires a,b,c et d qui a pour expression

$$F = ab + a/b/c/d + bcd + a/b/cd + bc/d$$

1. Transformer F en somme logique de produits de quatre variables. On pourra utiliser un tableau de Karnaugh.
2. On veut câbler cette fonction F à l'aide d'un multiplexeur du type 74151 (pour un nom...) comportant 8 entrées d'information (E0, E1, ... E7), 3 entrées d'adresse et une sortie S. Rappeler la forme générale du signal de sortie S associé aux 8 entrées E0, E1, ... E7.
3. Les variables b,c,d de la fonction F sont choisies comme variables d'adresse. Identifier les termes E0, E1, ... E7 et déterminer les signaux à appliquer aux 8 entrées du circuit. On résumera les données du câblage sur un tableau donnant les adresses des entrées Ei et les signaux à y appliquer afin de réaliser F.
4. Représenter le câblage symbolique de ce multiplexeur.

$$1) F = a/b/c/d + a/b/cd + a/bcd + abc/d + abc/d + abcd + abc/d + abc/d + abcd/$$

$$y_0 = a/b/c/d$$

$$y_1 = abc/$$

$$y_2 =$$

2)

C	B	A	S
0	0	0	y0.c/b/a/
0	0	1	y1
0	1	0	y2

0	1	1	y3
1	0	0	y4
1	0	1	y5
1	1	0	y6
1	1	1	y7.cba

$$S = A/B/C/y0 + AB/C/y1 + a/bc/y2 + ac/y3 + a/b/cy4 + ab/cy5 + a/bcy6 + abcy7$$

3) câblage

On choisit comme variables d'adresse les variables b,c,d de la fonction F

$$S = B/C/D/Y0 + BC/D/Y1 + BCD/Y3 + BC/DY5 + B/CDY6 + BCDY7$$

